

2008. 12. 19

특허청

정보통신심사국
영상기기심사과

심사관

조기덕



<< 안내 >>

귀하께서는 특허법제47조제2항의 규정에 의하여 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위 안에서 명세서 또는 도면을 보정할 수 있음을 알려드립니다.

(참고 : 최후거절이유통지 후 및 특허거절결정에 대한 심판 청구시의 보정은 상기 요건보다 더 엄격한 기준이 적용됨을 알려드립니다)

※ 다만, 2001년 7월 1일 전에 제출된 특허출원의 경우에는 구 특허법(2001.2.3. 법률 제6411호로 개정되기 전의 것) 제47조제2항의 규정에 의하여 특허출원서에 최초로 첨부된 명세서 또는 도면의 요지를 변경하지 아니하는 범위 안에서 명세서 또는 도면을 보정할 수 있습니다.

※ 보정료 납부안내

- 명세서 또는 도면을 보정하기 위하여 명세서등 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

- 보정료는 접수번호를 부여받아 이를 납부자번호로 "특허료등의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·공휴일을 포함한다)에 해당되는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

- 보정료는 국고수납은행(대부분의 시정은행)에 납부하거나, 인터넷지로(www.giro.or.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 동상행을 동봉하여 제출하시면 특허청에서 납부해드립니다.

※ 지정기간연장 안내

연장가능기간(4개월)은 최초하여 지정기간을 연장하고자 소명서를 첨부하여 지정기간연장신청서를 제출한 경우 심사관을 아래의 사유에 해당되는지판 관하여 지정기간연장의 인정여부 및 연장할 수 있는 기간을 정하여 통지합니다.

【초과기간 인정사유】

- ① 기간만료 전 1개월 이내에 최초로 대리인을 선임하거나 선임된 대리인 모두를 해임·변경한 경우
 - ② 기간만료 전 1개월 이내에 출원인변경신청서를 제출한 경우
 - ③ 기간만료 전 2개월 이내에 외국특허청의 심사결과를 받은 경우로서 통 심사결과를 보정서에 반영하고자 하는 경우(이 경우 신청서 제출 시 해당 심사결과 분지서 사본 및 그 기록이 된 청구범위 사본도 같이 제출해야 함)
 - ④ 의견제출일기서의 손달이 1개월 이상 지연된 경우(1개월 추가 인정 가능)
 - ⑤ 원료의 또는 분별분석이 상하거나 소송에 기한 연장 경우
 - ⑥ 거절이유와 관련된 시험 및 실험결과에 기간이 더 필요한 경우
 - ⑦ 출원인이 해결할 수 없는 사유 발생 등 기간연장권 포기여부에 필요하다고 인정되는 경우
- 단, 제5항의 심사청구한 때에는 1항의 경우에도 인정함

※ 서식 또는 절차에 대하여는 특허고령 (제144-8030)호 문약서지가 바랍니, 기타 문의사항이 있으시면 ☎042-481-8363(당당심사관 조 기덕)로 문의하시기 바랍니다.

※ 우 302-701 대전광역시 서구 신서로 139, 정부대전청사 특허청

(11)Publication number : 06-332397
(43)Date of publication of application : 02.12.1994

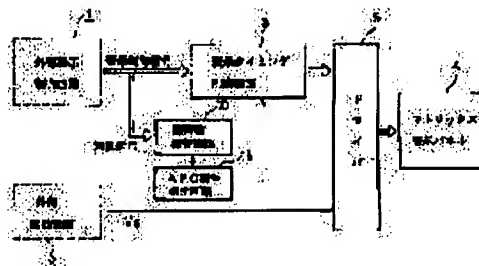
G096 3/20

(71)Applicant : FUJITSU LTD

(72)Inventor : KAWADA TOYOSHI

(57)Abstract:

CONSTITUTION: This device is provided with a number of pixels integration circuit 10 and an APC signal generation circuit 11. By the number of pixels integration circuit 10, the number of pixel signals with a prescribed level are integrated from the pixel signals imparted for a prescribed period. By the APC signal generation circuit 11, the panel driving frequency is revised based on the integration result of the number of pixel integration circuit 10. At this time, a prescribed period is an optimum period synchronized with the picture scanning of a display panel 4, and the pixel signal with a prescribed level is a pixel signal having the level capable of lighting the selective display cell of the display panel 4. Thus, the driving frequency of the display panel is revised based on pixel information directly related to a display rate. Thus, a resistor element and a high breakdown strength transistor on a transmission path with a driving voltage V_s are eliminated, and the deterioration in the efficiency of power source and the increase in the circuit scale are evaded.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-332397

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁶

G 0 9 G 3/20

識別記号

庁内整理番号

F I

技術表示箇所

J 9176-5G

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願平5-121813

(22) 出願日 平成5年(1993)5月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 河田 外与志

神奈川県川崎市中原区小田中1015番地 富

士通株式会社内

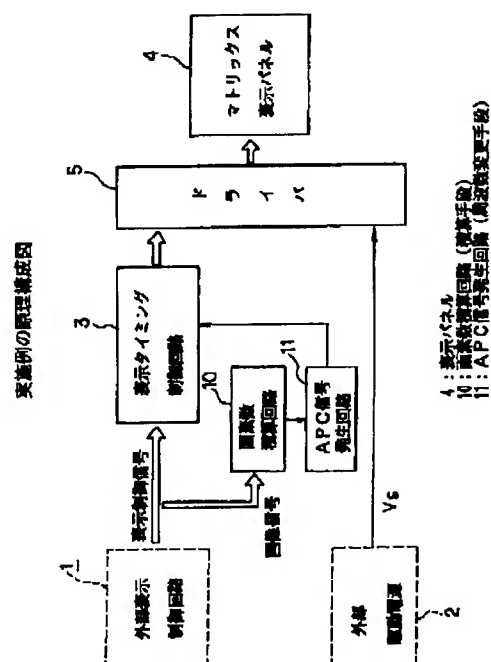
(74) 代理人 弁理士 有我 軍一郎

(54) 【発明の名称】 フラットパネルディスプレイ装置

(57) 【要約】

【目的】電源効率の悪化を招くことなく、回路規模に抑えることができ、集積化に適応した回路技術の提供を目的とする。

【構成】本発明は、表示パネルの表示セルに所定レベルの画素信号が与えられると、パネル駆動信号の周波数に同期した周期で当該表示セルを点灯させるフラットパネルディスプレイ装置において、所定期間中に与えられる前記所定レベルの画素信号数を積算する積算手段と、該積算手段の積算結果に基づいて前記パネル駆動周波数を変更する周波数変更手段とを備えたことを特徴とする。



【特許請求の範囲】

【請求項1】表示パネルの表示セルに所定レベルの画素信号が与えられると、パネル駆動信号の周波数に同期した周期で当該表示セルを点灯させるフラットパネルディスプレイ装置において、所定期間中に与えられる前記所定レベルの画素信号数を積算する積算手段と、該積算手段の積算結果に基づいて前記パネル駆動周波数を変更する周波数変更手段とを備えたことを特徴とするフラットパネルディスプレイ装置。

【請求項2】ある時点での画素数とその後が続いて入力される新しい画素数とを比較し、その差がある一定値を上回った場合に、新しい画素数に基づいて表示パネルの駆動周波数を変更することを特徴とする請求項1記載のフラットパネルディスプレイ装置。

【請求項3】複数ビット構成の画素信号をビット桁単位に積算し、それぞれの積算結果にビット桁の重み値に対応した重み付けを付加して加算することを特徴とする請求項1記載のフラットパネルディスプレイ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラットパネルディスプレイ装置、特に、PDP（Plasma Display Panel）や蛍光表示管あるいはELP（Electro Luminescent Panel）といった自発光型の表示セルを備えるフラットパネルディスプレイ装置に関する。

【0002】

【従来の技術】可搬型パーソナルコンピュータ等の表示装置に多用されるフラットパネルディスプレイ装置は、CRT（Cathode Ray Tube）型の表示装置に比べて遥かに低電力であるが、長時間のバッテリー駆動を実現するために、より一層の消費電力化技術が求められている。

【0003】図10は従来のフラットパネルディスプレイ装置の概念ブロックである。1は表示信号及びこの表示信号に付随する各種の制御信号を発生する例えばグラフィック・ディスプレイ・コントローラ等の外部表示制御回路、2は表示に必要な高電位（例えばPDPの場合で約100V程度の直流電圧）の駆動電圧Vsを発生する外部駆動電源、3は画面の水平方向及び垂直方向の走査周期に合わせて表示タイミングを制御する制御回路、4は自発光型の多数の表示セルをマトリクス状に配列した表示パネル、5は表示パネルを駆動するための各種の駆動パルスを発生するドライバ、6は駆動電流検出回路、7はAPC信号発生回路であり、駆動電流検出回路6及びAPC信号発生回路7は、省電力化対策のために特別に設けられた回路である。

【0004】すなわち、駆動電流検出回路6は、駆動電圧Vsの伝送経路上に直列挿入された抵抗素子（図示略）と、この抵抗素子の両端電圧を検出するための能動素子（高電位のVsに対応した高耐圧のトランジスタ）

とを少なくとも有し、ドライバ5を介して表示パネル4に供給される電流（以下「駆動電流Is」）の大きさを抵抗素子の両端電圧として取り出すものである。また、APC信号発生回路7は、上記の両端電圧（＝駆動電流Is）の大きさに応じてHレベル期間のデューティが変化する所定のコントロール信号Sapcを出力するものである。

【0005】図11は駆動電流Isの大きさ（図では便宜的に $I_{s(L)} < I_{s(M)} < I_{s(H)}$ の3段階）と、Sapcの所定論理レベル（ここでは便宜的にHレベル）期間のデューティ変化の対応関係を示す図である。駆動電流Isは、表示パネル4の表示率、すなわち全表示セル中の発光セルの割合に比例する。従って、表示率が高くなる程（言い替えば高輝度表示になる程）、電力消費が増えて問題となるが、図11の下段に示すように、表示パネル4の駆動波形（例えばPDPの場合の維持放電波形）の高周波数期間をSapcのHレベル期間に合わせて変化させれば、表示率が高くなる程、高周波数期間を減少（低周波数期間を増大）させることができ、上記の電力消費問題を解決できる。

【0006】

【発明が解決しようとする課題】しかしながら、かかる従来のフラットパネルディスプレイ装置にあっては、駆動電圧Vsの伝送経路上に抵抗素子を直列挿入し、この抵抗素子の両端電圧を検出する構成となっていたため、（1）抵抗素子によって駆動電圧Vsの電源インピーダンスが増加し、電源効率が悪化する、（2）高耐圧のトランジスタを作り込む必要があり、回路規模の増大や集積化への対応が困難になる、といった問題点がある。

【目的】そこで、本発明は、電源効率の悪化を招くことなく、回路規模に抑えることができ、集積化に適応した回路技術の提供を目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するために、表示パネルの表示セルに所定レベルの画素信号が与えられると、パネル駆動信号の周波数に同期した周期で当該表示セルを点灯させるフラットパネルディスプレイ装置において、所定期間中に与えられる前記所定レベルの画素信号数を積算する積算手段と、該積算手段の積算結果に基づいて前記パネル駆動周波数を変更する周波数変更手段とを備えたことを特徴とする。

【0008】

【作用】本発明では、表示率に直接関係する画素情報に基づいて表示パネルの駆動周波数を変更される。従って、駆動電圧Vsの伝送経路上における抵抗素子や高耐圧トランジスタが不要となり、電源効率の悪化や回路規模の増大が回避され、集積化への対応が容易化される。

【0009】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1～図9は本発明に係るフラットパネルディス

3

プレイ装置の実施例を示す図である。

原理構成

図1において、1は外部表示制御回路、2は外部駆動電源、3は制御回路、4は表示パネル、5はドライバであり、これらの回路1～5は冒頭の従来例と同一のものである。

【0010】また、10は画素数積算回路、11はAPC信号発生回路であり、これらの回路10、11は、本実施例に特有なものである。すなわち、画素数積算回路10は所定期間と与えられる画像信号の中から所定レベルの画素信号の数を積算する積算手段としての機能を有し、APC信号発生回路11は画素数積算回路10の積算結果に基づいてパネル駆動周波数を変更する周波数変更手段としての機能を有するものである。

【0011】ここで、上記の所定期間とは、表示パネル4の画面走査に同期した任意の期間であり、好ましくは1垂直走査又は1水平走査の期間である。また、上記の所定レベルの画素信号とは、表示パネル4の選択表示セルを点灯（自発光）させ得るレベルを持つ画素信号であり、例えば、白/黒2階調のデジタル画素信号であれば白レベルに相当する所定論理レベル（Hレベル又はLレベル）である。また、上記のパネル駆動周波数とは、表示パネル4を駆動するために必要な各種波形の周波数であり、例えば、PDPの場合の維持放電波形の周波数である。

【0012】駆動電流 I_s は、表示パネル4の表示率、すなわち全表示セル中の発光セルの割合に比例し、表示率は、表示パネル4の選択表示セルを点灯させ得るレベルを持つ画素信号の積算数（例えば1垂直期間中の積算数）に良く相関する。従って、この積算数（以下「積算画素数」）は、表示に必要な駆動電流 I_s の大きさを間接的に表す値であるから、図2に示すように、積算画素数の値に基づいて S_{apc} のHレベル期間のデューティを変化させるように構成すれば、駆動電流 I_s を直接的に検出する手段（抵抗素子や高耐圧トランジスタ等）を不要にでき、駆動電圧 V_s の電源インピーダンスの増大を招くことなく、集積化に適した回路構成を実現できるのである。

【0013】第1実施例

図3は画素数積算回路及びAPC信号発生回路の具体的な構成例である。なお、ここでは説明の簡単化のために、表示パネル4の全表示セル数を256若しくはそれ以下としている。図3において、12は画素信号DATA中のHレベル（表示パネル4の選択表示セルを点灯させ得るレベル）のビットをカウントする8ビット出力（すなわち0₍₁₀₎から255₍₁₀₎までの積算値を出力）のバイナリカウンタであり、このバイナリカウンタ12は、微小な遅延時間を有する遅延回路13を通過した垂直同期信号 V_{sync} に同期して1垂直期間毎にリセット（積算値を0₍₁₀₎にする）される。バイナリカウンタ

4

12の最上位ビットから n ビット（ n はパネル駆動波形の周波数可変段階数に対応し例えば図2のように3段階であれば $n=2$ 、実用的な16段階であれば $n=4$ となる；図では便宜的に $n=4$ としている）は、 n ビットのラッチ14によって1垂直走査の間ラッチされ、ラッチ14の n ビット出力（すなわち1垂直走査期間中におけるHレベル画素信号の積算値；以下、便宜的に符号 D_s で表す）は、コンパレータ15の一方側入力（ n ビットのA入力）に与えられる。コンパレータ15の他方側入力（ n ビットのB入力）には、任意周波数のクロック信号CLK s_t をカウントする n ビットのバイナリカウンタ16の n ビット出力（0段から16段まで単調増加を繰り返す周期関数、すなわちデジタル的な三角波；以下、便宜的に符号 D_t で表す）が与えられており、コンパレータ15は、A入力<B入力のとき（ $D_s < D_t$ のとき）に出力Q（ S_{apc} となる）をHレベルにする。

【0014】このような構成によれば、図4にその動作タイミングチャートを示すように、 V_{sync} の1周期中に入力するHレベルの画素信号DATAの数が積算され、この積算値は V_{sync} のタイミングでラッチ14に取り込まれた後、遅延回路13の出力に同期して0₍₁₀₎にリセットされる。ここで、ラッチ14に取り込まれた積算値 D_s は、1垂直走査期間中に入力したHレベル（表示パネル4の選択表示セルを点灯させ得るレベル）の画素信号の総数であり、その最大数は、表示パネル4の全表示セルの数（ここでは256）に相当する。図4中破線で示す軌跡は、全ての表示セルを点灯させた場合の積算値軌跡であり、この場合の電力消費が最も大きい。

【0015】図4におけるラッチ14の出力（ D_s ）は、点灯セル数が最少のとき（a）、中ぐらいのとき（b）及び全セル点灯に近い最大のとき（c）の3段階を表している。段階aでは D_s の値が小さいために「 $D_s < D_t$ 」の期間が長く、コンパレータ16の出力（ S_{apc} ）のHレベル期間が最大になる。一方、段階bでは D_s の値が中程度に大きくなるために「 $D_s < D_t$ 」の期間は中程度となり、さらに、段階cでは D_s の値が最大又は最大に近付くために「 $D_s < D_t$ 」の期間は最小又は最小に近付く。

【0016】従って、コンパレータの16の出力（ S_{apc} ）のHレベル期間が1垂直走査期間における画素信号の積算数に反比例して変化するから、この S_{apc} を用いて表示パネル4の駆動波形の周波数を変化させれば、従来例のような駆動電流 I_s の直接的な検出手段（抵抗素子や高耐圧のトランジスタ等）を要することなく、表示率に応じた適正な駆動電流 I_s を得ることができ、その結果、駆動電圧 V_s の電源インピーダンスや回路規模の増大問題を解決できるとともに、集積化に適した回路構成を提供することができる。

【0017】第2実施例

50

図5はアナログ回路で構成した例である。すなわち、抵抗20、オペアンプ21、コンデンサ22及びアナログスイッチ23は、画素信号DATAのレベルを積分する第1の積分器24を構成し、この第1の積分器24の積分期間は、微小な遅延時間の遅延回路25を通過したVsyncに反応してオン/オフするアナログスイッチ23のオフ期間(1垂直走査期間)に相当する。従って、この第1の積分器24からは1垂直走査期間における画素信号DATAの積分値が出力され、この積分値は非遅延のVsyncのタイミングでサンプル&ホールド回路26に保持される。サンプル&ホールド回路26の出力(すなわち1垂直走査期間における画素信号DATAの積分値;Ds)は、オペアンプを用いたアナログコンパレータ27の一方入力に与えられ、このアナログコンパレータ27の他方入力には、抵抗28、オペアンプ29、コンデンサ30及びアナログスイッチ31からなる第2の積分器32からの鋸歯状波電圧Dt(クロック信号CLKswの周期ごとにリセットされる電圧)が与えられており、アナログコンパレータ27はDs<DtのときにHレベルとなる信号(Sapc)を出力する。

【0018】従って、かかるアナログ的な構成であっても、1垂直走査期間における画素信号の積分値に反比例してHレベルデューティが変化する信号(Sapc)を生成でき、この信号(Sapc)を用いることにより、従来例のような駆動電流Isの直接的な検出手段(抵抗素子や高耐圧のトランジスタ等)を要することなく、表示率に応じた適正な駆動電流Isを得ることができ、駆動電圧Vsの電源インピーダンスや回路規模の増大問題を解決できるとともに、集積化に適した回路構成を提供することができる。

【0019】第3実施例

上記の第1実施例や第2実施例では、静止表示画面中の僅かな画素の輝度変化にAPC信号(Sapc)が反応してしまうという欠点、すなわち、静止表示画面中で例えばカーソル点滅や強調表示のための反転ブリンクを行う場合、点滅やブリンクに反応して画素信号の積分値が変化し、APC信号(Sapc)が変化することにより、画面全体の輝度がチラツクという欠点がある。

【0020】そこで、本実施例では、かかる欠点を解決するために、要するに、ある時点での画素数とその後に続いて入力される新しい画素数とを比較し、その差がある一定値を上回った場合に、新しい画素数に基づいて表示パネルの駆動電力を制御しようとするものである。なお、第1実施例と共通する回路要素には同一の符号を付すとともにその説明を省略するものとする。

【0021】図6において、8ビットのバイナリカウンタ12からのnビットの出力は、nビットの減算回路30のA入力とnビットのラッチ31に与えられる。ラッチ31はアンドゲート32の出力にHレベルが現れたときにカウンタ12のnビット出力をラッチし、そのラッ

チ内容を減算回路30のB入力に与える。減算回路30はA入力とB入力の差値ΔDxを計算してその差値ΔDxをコンパレータ33のB入力に与え、コンパレータ33は、A入力の値(設定レジスタ34の設定値ΔDa;カーソル点滅や反転ブリンク等の周期的な画素数変化分に対応した値を上回る値)とB入力の値(ΔDx)とを比較し、「ΔDa<ΔDx」のときに出力QからHレベルの信号Scを取り出す。信号Scはアンドゲート32の一方入力に与えられ、このアンドゲート32の他方入力にはVsyncが与えられている。

【0022】このような構成において、初期状態では、コンパレータ33の出力Q(Sc)はLレベルであり、アンドゲート32の出力もLレベル固定であるから、カウンタ12の出力(積分値)は減算回路32のみに与えられ、減算回路30からは、その積分値と同値のΔDxが出力される。ある時間を経過した時点でΔDxの値がΔDaを上回ると、コンパレータ33の出力Q(Sc)がHレベルに変化し、アンドゲート32の出力もHレベルに変化してその時点におけるカウンタ12の出力がラッチ31に取り込まれる。そして、減算回路30は、ラッチ31の保持内容(以下「旧積分値」と以降のカウント12の出力(以下「新積分値」と)の差値ΔDxを演算し、コンパレータ33はその差値ΔDxが設定値ΔDaを上回るまで出力Q(Sc)をLレベルに固定し続ける。

【0023】従って、出力Q(Sc)がLレベルの間、すなわち図7に示すように、旧積分値と新積分値との差値ΔDxが設定値ΔDaを上回るまでの間は、ラッチ31から同一の積分値(旧積分値)が出力され続けてSapcのHレベルデューティが変化しないので、画面全体の輝度のチラツキを抑えることができ、表示品質を向上できる。

【0024】第4実施例

本実施例は、多階調表示への適用例である。図8はその構成図であり、第1カウンタ40は画素信号の第1ビットDATA₁をカウントし、第2カウンタ41は画素信号の第2ビットDATA₂をカウントする。2個のカウント40、41の各nビット出力は加算回路42によって加算され、その加算値(すなわち4階調表示画素信号の積分値)はVsyncのタイミングでラッチ43に取り込まれ、このラッチ43の出力Dsが第1実施例と同様のコンパレータ33で比較される。

【0025】本実施例における画素数の積分は、複数本の画像データ信号の階調に対する重み付けに合わせて行うようにしている。図8は、画像データ信号がDATA₁とDATA₂の2ビット、すなわち4階調の場合であり、DATA₁、DATA₂はそれぞれカウンタ40、41で積分された後、その積分結果が加算回路42で加算されるが、カウンタ41の積分値が階調の2ビット目に対応する値であるため、2倍の重み付けを付加する必

7

要がある。本実施例では、階調の1ビット目に対応するカウンタ40の積算値を1ビットずらして(1/2倍して)加算回路42に入力することにより、相対的に、階調の2ビット目に対応する値に2倍の重み付けを付加している。

【0026】なお、図8では4階調表示の例を示しているが、3階調以上の多階調表示に適用する場合には、その画素信号のビット構成に合わせてカウンタの数を増やすとともに、重み付けを付加して加算するように、複数の加算回路を階層的に接続すれば良い。

第5実施例

図9は、第4実施例の構成をアナログ回路で実現した例であり、前記第1実施例の変形である。

【0027】すなわち、第1実施例との相違は、第1の積分器50の入力抵抗を画素信号のビットDATA₀、DATA₁ごとに(DATA₀に対して抵抗51を、またDATA₁に対して抵抗52)備えたとともに、各抵抗の値をビット重みに対応させた(抵抗52の値は抵抗51の1/2)点にあり、余は第1実施例に共通する。

【0028】

【発明の効果】本発明によれば、所定期間中に与えられる前記所定レベルの画素信号数を積算し、その積算結果に基づいてパネル駆動周波数を変更するように構成したので、電源効率の悪化を招くことなく、回路規模に抑え*

8

*ることができ、集積化に適した回路技術を提供できる。

【図面の簡単な説明】

【図1】実施例の原理構成図である。

【図2】実施例の原理波形図である。

【図3】実施例の具体的な構成図(第1実施例)である。

【図4】図3の動作波形図である。

【図5】実施例の具体的な構成図(第2実施例)である。

【図6】実施例の具体的な構成図(第3実施例)である。

【図7】図6の動作波形図である。

【図8】実施例の具体的な構成図(第4実施例)である。

【図9】実施例の具体的な構成図(第5実施例)である。

【図10】従来例の原理構成図である。

【図11】従来例の原理波形図である。

【符号の説明】

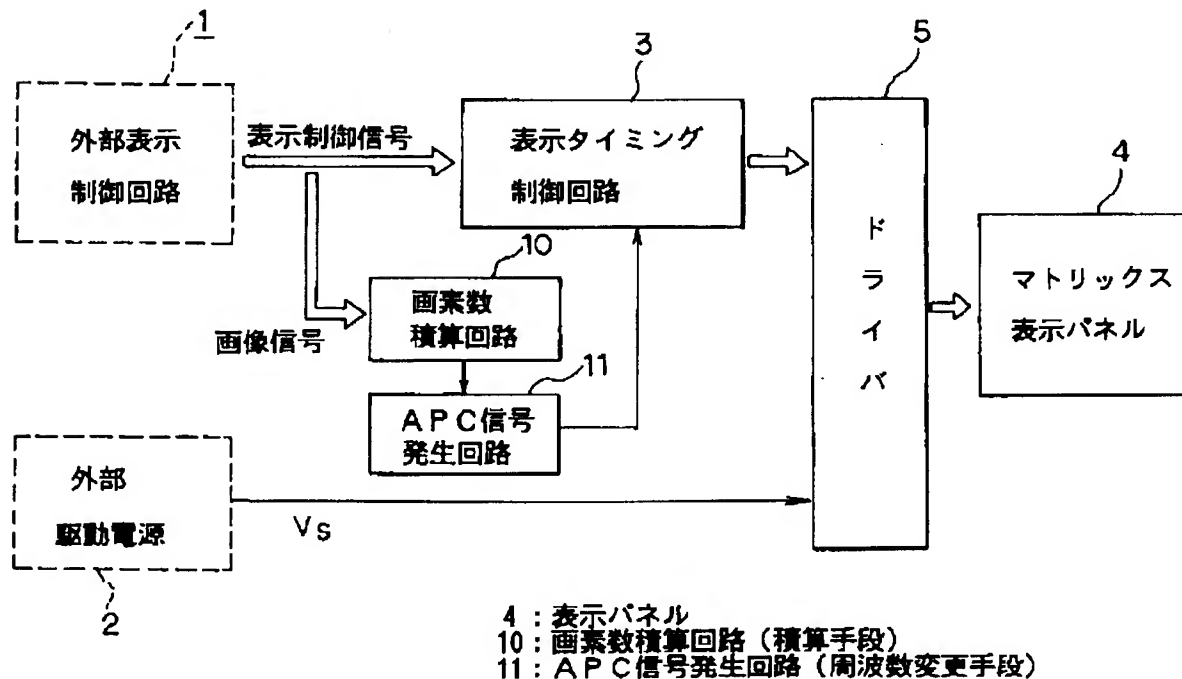
4：表示パネル

10：画素数積算回路(積算手段)

11：APC信号発生回路(周波数変更手段)

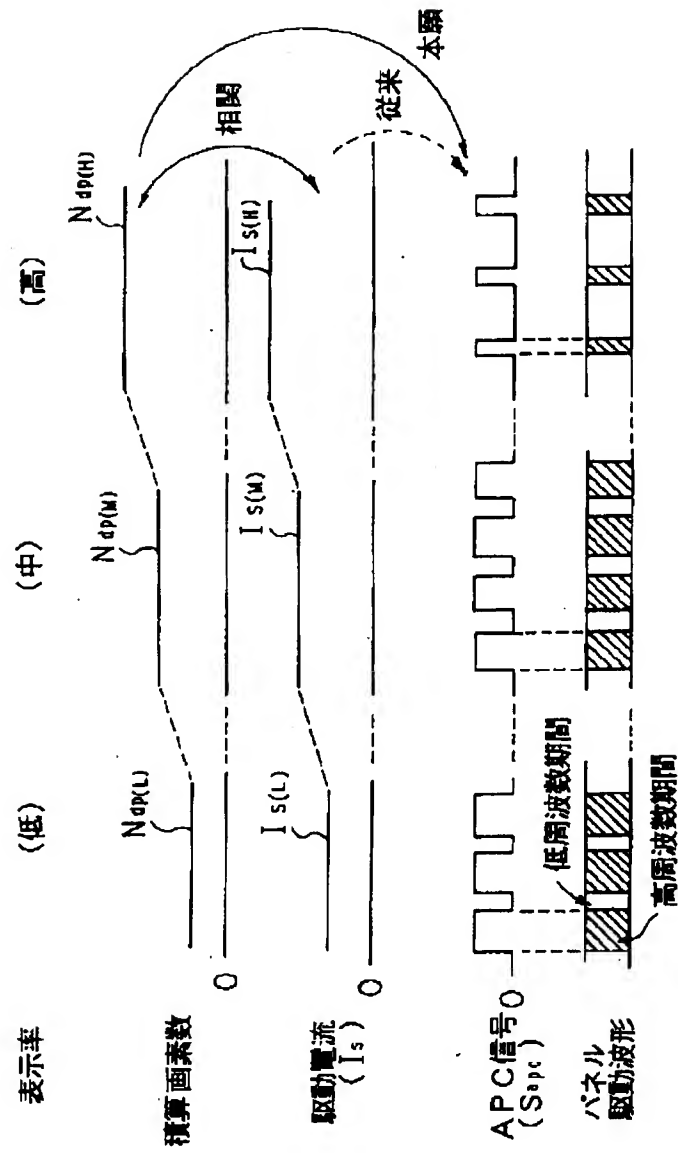
【図1】

実施例の原理構成図



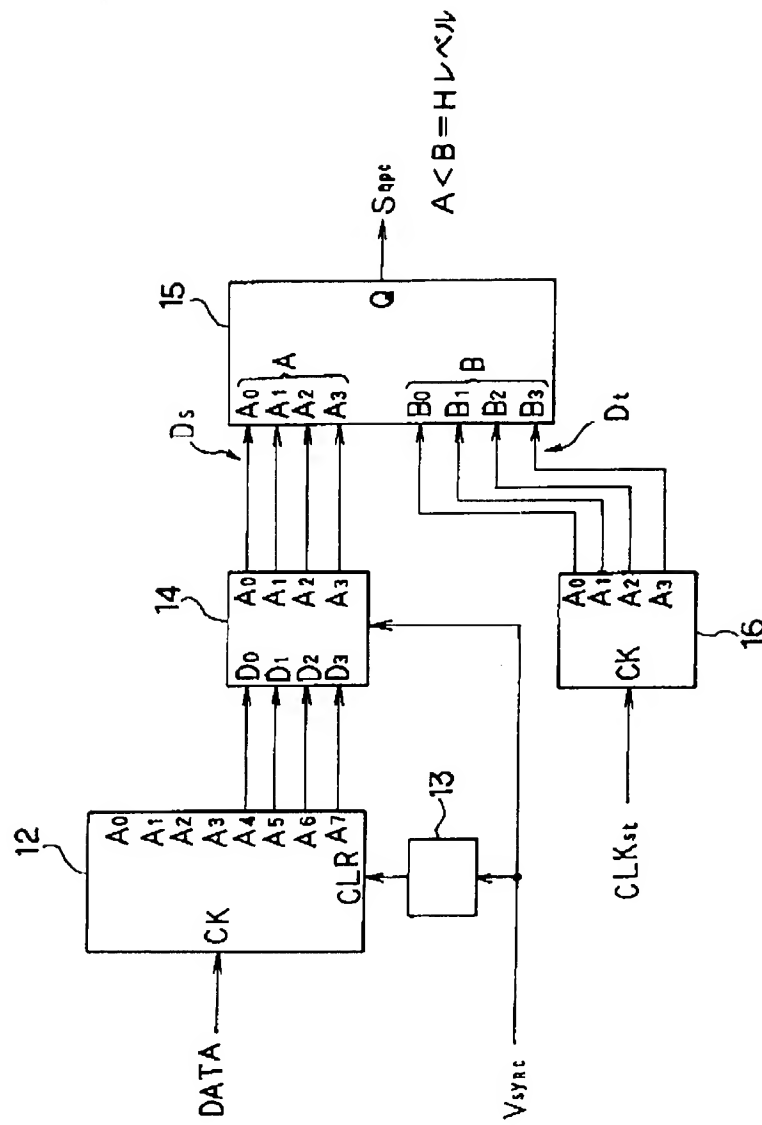
【図2】

実施例の原理波形図



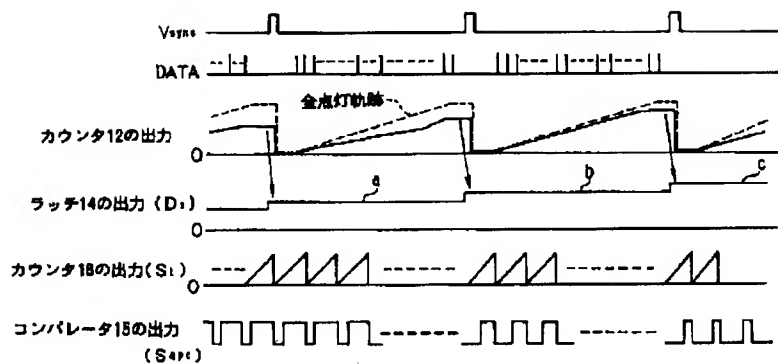
【図3】

実施例の具体的な構成図 (第1実施例)



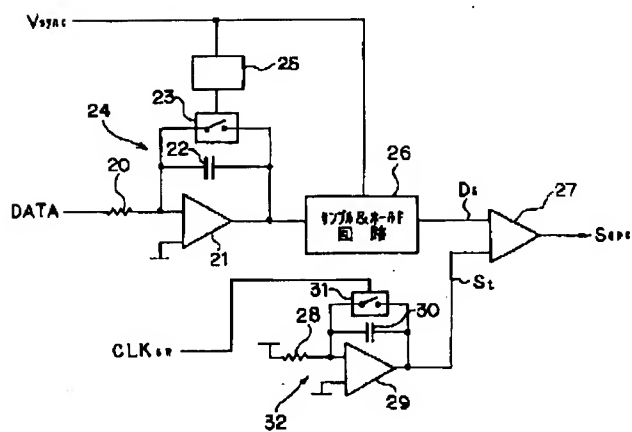
【図4】

図3の動作波形図



【図5】

実施例の具体的な構成図 (第2実施例)



実施例の具体的な構成図（第3実施例）



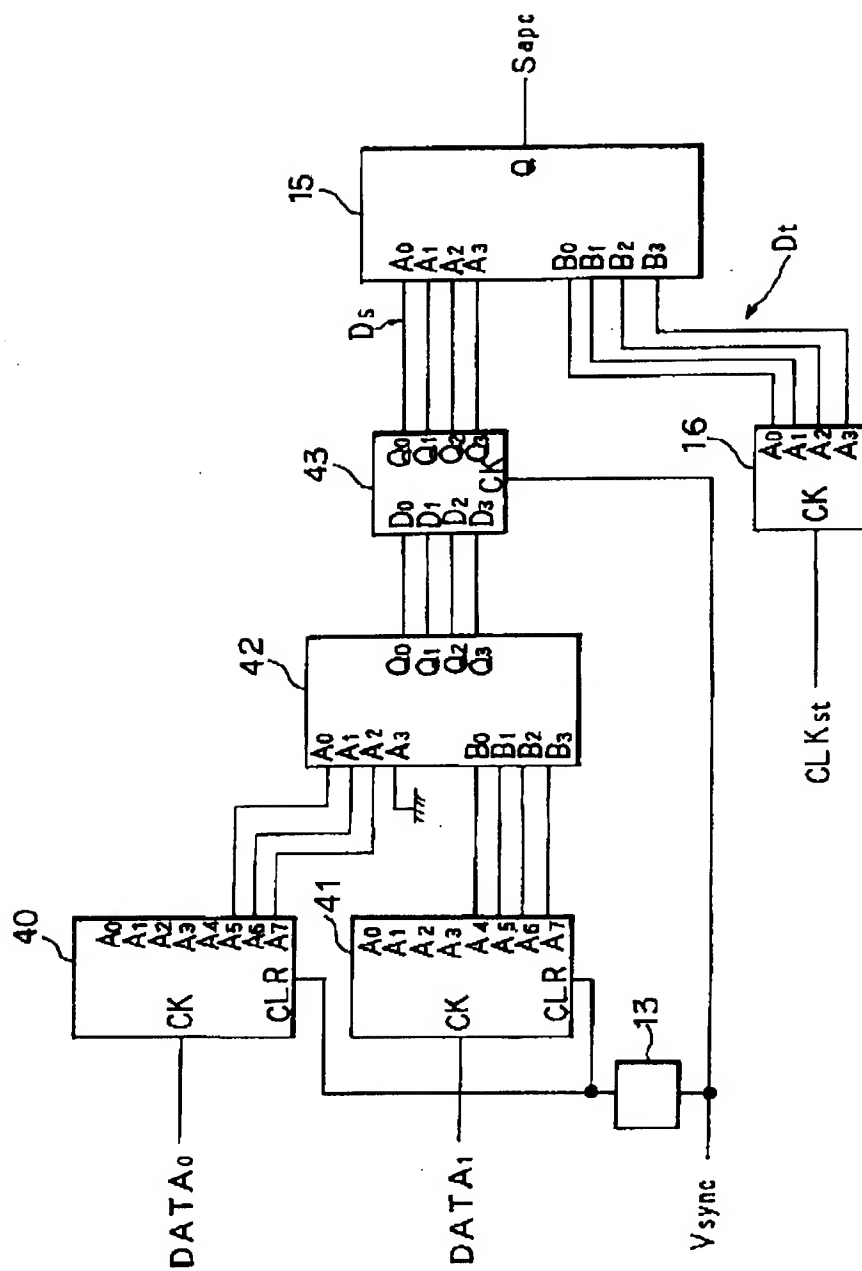
The diagram shows the timing relationship between several signals:

- DATA**: A digital data bus signal.
- 新換算值** (New Calculation Value): A signal that updates the calculation value.
- 旧換算值** (Old Calculation Value): A signal that holds the previous calculation value. It is labeled "不變" (unchanged) during certain periods.
- ΔD_1** : A signal representing the difference between the new and old calculation values. It is labeled "不變" (unchanged) during certain periods.
- D_1** : A signal representing the calculation value.
- S**: A clock or strobe signal.

The diagram illustrates the timing of these signals, showing how the new calculation value is updated and how the old calculation value is maintained during the update process.

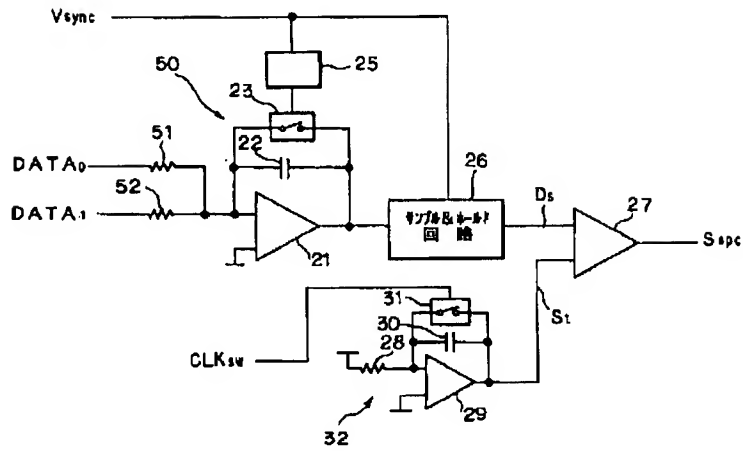
【図8】

実施例の具体的な構成図（第4実施例）



【図9】

実施例の具体的な構成図（第5実施例）



【図10】

従来例の原理構成図

